

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246589

**(43)Date of publication of application : 30.08.2002**

(51)Int.Cl.

H01L 29/778

H01L 21/338

H01L 29/812

H01L 29/872

(21)Application number : 2001-041583

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.02.2001

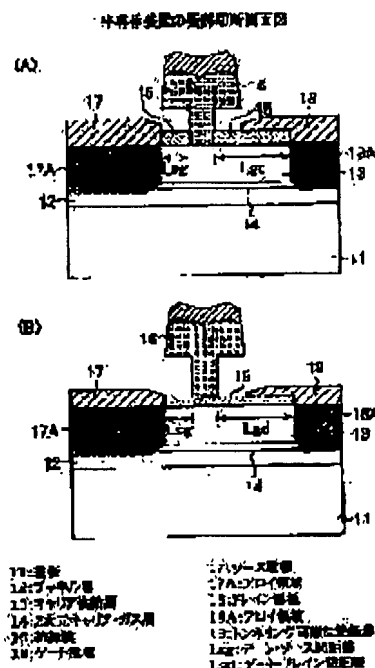
(72)Inventor : NIHEI MIZUHISA

## (54) FIELD EFFECT SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a field effect semiconductor device for which both a decrease in source resistance  $R_s$  and an increase in gate-drain breakdown voltage  $V_{gdo}$  are simultaneously accomplished by making a decrease in gate-to-source distance  $L_{sg}$  and an increase in gate-to-drain distance  $L_{gd}$  simultaneously executable.

**SOLUTION:** This field effect semiconductor device is provided with an insulating film 15 or a thin insulating film 19 formed on the surface of an n-type InAlAs carrier supplying layer 19 provided between a source and a drain, namely, at least between a gate and the drain provided between alloy regions 17A and 18A, that is to say, between a gate electrode 16 and the alloy region 18A. This semiconductor device is also provided with the gate electrode 16 formed to be positioned between the alloy regions 17A and 18A and source and drain electrodes 17 and 18 which are formed in a self-aligning way with the gate electrode 16, and ohmic-connected to the two-dimensional carrier gas layer 14 of a channel layer 12 in a region where the insulating film 15 or thin insulating film 19 does not exist.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision]

SEARCHING FAS

2/2 ページ

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-246589

(P2002-246589A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) IntCl<sup>7</sup>

識別番号

F I

テマコード\* (参考)

H 0 1 L 29/778

H 0 1 L 29/80

H 4 M 1 0 4

21/338

29/48

H 5 F 1 0 2

29/812

F

29/872

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願2001-41583(P2001-41583)

(22) 出願日

平成13年2月19日 (2001.2.19)

(71) 出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 二瓶 瑞久

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100103337

弁理士 武橋 潔 (外3名)

最終頁に続く

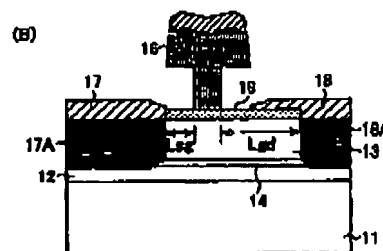
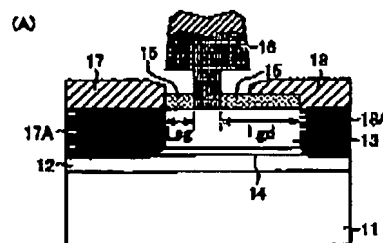
(54) 【発明の名称】 電界効果半導体装置

(57) 【要約】

【課題】 電界効果半導体装置に関し、ゲート・ソース間距離 $L_{gs}$ の短縮とゲート・ドレイン間距離 $L_{gd}$ の増大を同時に実行可能とし、ソース抵抗 $R_s$ の低減、及び、ゲート・ドレイン間耐圧 $V_{gdo}$ の向上を同時に達成した電界効果半導体装置を提供する。

【解決手段】 ソース・ドレイン間、即ち、アロイ領域17A・アロイ領域18A間の少なくともゲート・ドレイン間、即ち、ゲート電極16・アロイ領域18A間に於ける $n$ -InAlAsキャリア供給層13表面に形成された絶縁膜15或いは絶縁薄膜19と、アロイ領域17A・アロイ領域18A間に位置して形成されたゲート電極16と、ゲート電極16と自己整合的に形成され且つ該絶縁膜15或いは絶縁薄膜19がない領域でチャネル層12の2次元キャリア・ガス層14とオーミック接続されたソース電極17及びドレイン電極18を備える。

半導体装置の要部断面図



11:基板  
12:チャネル層  
13:キャリア供給層  
14:2次元キャリア・ガス層  
15:絶縁膜  
16:ゲート電極

17:ソース電極  
17A:アロイ領域  
18:ドレイン電極  
18A:アロイ領域  
19:トンネル障壁層または絶縁層  
L<sub>gs</sub>:ゲート・ソース間距離  
L<sub>gd</sub>:ゲート・ドレイン間距離